

BEST AVAILABLE COPYPOWERED BY **Dialog****LIQUID CRYSTAL DISPLAY DEVICE****Publication Number:** 03-214873 (JP 3214873 A) , September 20, 1991**Inventors:**

- KITAGAWA TAKASHI

Applicants

- NEC CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 02-009697 (JP 909697) , January 19, 1990**International Class (IPC Edition 5):**

- H04N-005/66
- G09G-003/36
- H04N-005/66

JAPIO Class:

- 44.6 (COMMUNICATION--- Television)
- 44.9 (COMMUNICATION--- Other)

JAPIO Keywords:

- R011 (LIQUID CRYSTALS)

Abstract:

PURPOSE: To reduce the number of sample-hold circuits which operate at high speed by further executing a sample-and-hold after subjecting an input signal to the sample-and-hold.

CONSTITUTION: Sample-hold circuits 3A, 3D successively and alternately sample and hold an input video signal VR by pulses SH1, SH4, and outputs this. This output is supplied to sample-hold circuits 2A, 2D, 2G, successively subjected to the sample-and-hold by pulses SH11, SH22, SH14, and drives drain busses DB1, DB7, DB4. The pulses SH1, SH4 are generated at a timing corresponding to the timing for each pulses SH11, SH22, SH14. The currents 2A, 2D, 2G execute the sampling and holding to the signals subjected to sampling and holding at the circuits 3A, 3D by the corresponding pulses SH11, SH14 and SH22. (From: *Patent Abstracts of Japan*, Section: E, Section No. 1145, Vol. 15, No. 494, Pg. 31, December 13, 1991)

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 3551973

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 3 - 2 1 4 8 7 3

(43) 公開日 平成3年(1991)9月20日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 2 B			
G 0 9 G 3/36				
H 0 4 N 5/66	C			
			H 0 4 N 5/66 1 0 2 B	
			G 0 9 G 3/36	
審査請求 有			(全 6 頁)	最終頁に続く

(21) 出願番号 特願平2-9697

(22) 出願日 平成2年(1990)1月19日

(71) 出願人 000000423

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 喜多川 隆

東京都港区芝5丁目33番1号 日本電気株式
会社内

(74) 代理人 京本 直樹 (外2名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

(1) 水平方向及び垂直方向にマトリクス状に配列された複数の画素と、前記水平方向 1 ライン分の画素を 1 ライン分ずつ順次選択するための複数のゲートバスラインと、選択された前記水平方向 1 ラインの各画素を順次駆動するための複数のドレインバスラインとを備えた液晶表示パネルと、前記各ドレインバスラインと対応して設けられ、供給される信号を所定のタイミングでサンプリングして保持し前記各ドレインバスラインを順次駆動する複数の第 1 のサンプルホールド回路と、前記入力信号を前記各第 1 のサンプルホールド回路のサンプリングごとのタイミングと対応したタイミングでサンプリングして保持し前記各第 1 のサンプルホールド回路へ供給する高速の第 2 のサンプルホールド回路とを有することを特徴とする液晶表示装置。

(2) 第 2- 恥サンプルホールド回路を N 個 (N は 2 以上の整数) 設け、水平方向 1 ラインの画素、及びこれら画素と対応するドレインライン、第 1 のサンプルホールド回路を、駆動順に順次切換えられる N 系統に分け、前記 N 個の各第 2 のサンプルホールド回路の出力信号を前記 N 系統の各第 1 のサンプルホールド回路へそれぞれ対応して供給するようにした請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は液晶表示装置に関し、特に入力映像信号を所定のタイミングでサンプリングしてこのサンプリングされた信号により液晶パネルの画素を駆動する構成の液晶表示装置に関する。

〔従来の技術〕

従来のこの種の液晶表示装置の一例を第 5 図に示す。

この液晶表示装置は、水平方向及び垂直方向にマトリクス状に配列された各色の複数の画素 PC と、水平方向 1 ライン分の画素を 1 ライン分ずつ順次選択するための複数のゲートバスライン GB1~GBn と、選択された水平方向 1 ラインの各画素 PC を順次駆動するための複数のドレインバスライン DB1~DB9 とを備えた液晶表示パネル 1 と、各ドレインバスライン DB1~DB9 と対応して設けられ、供給される各色の入力映像信号 V₁, V₀, V₂ をシフトレジスタ 4a, 4b からのザンブルホールドパルス SH51~SH55 SH61~SH62 によつて所定のタイミングでサンプリングして保持し各ドレインバスライン DB1~DB9 を順次駆動する複数のサンプルホールド回路 2a~21 と、スタートパルス S'1 及びクロックパルス CK, CK を入力してこれらザンブルホールド回路 2a~21 のサンプリング及びボールドのタイミングを制御するサン 7' ルホー 7L z ドパルス SH51~SH55, SH61~SH62 を発生する 2 つのシフトレジスタ 4a, 4b と、クロックパルス CK を発生するインバータ 5 とを有する

構成となっている。

各画素 PC は薄膜 1・ランジスタを含んで形成され、それぞれ水平方向 1 ライン分の画素 PC が接続されたゲートバスライン GB1~GBn の 1 つを水平ライン選択信号 HW1=HWn により順次選択し、選択されたゲートバスライン (GB1~GBn の一つ) の画素 PC の薄膜トランジスタを、選択期間中に順次サンプルホールド回路 2a~21 により駆動することにより液晶表示パネル 1 に所定の画像が表示される。

10 この液晶表示装置の各部信号のタイミング関係を第 6 図に示す。

〔発明が解決しようとする課題〕

上述した従来の液晶表示装置は、液晶表示パネル 1 の水平方向 1 ラインの各画素 PC を駆動するザンブルホールド回路 2a~21 が、入力映像信号 VR, VC, VB を直接サンプルホールドする構成となっているので、高速動作するサンプルホールド回路 2a~21 が多数必要となり、高画なものになるという欠点があった。

例えば、水平方向に赤、緑、青の画素 PC をそれぞれ 6 40 個有する液晶表示パネルでテレビジョン表示するためには、約 30MHz で動作するザンブルホールド回路が 1920 個必要である。

このように、多数のサンプルホールド回路を実用上問題ない程度に実装するためには、複数のサンプルホールド回路を IC 化する必要があるが、均一な特性の高速動作する多数のザンブルホールド回路を内蔵する IC を製作することは技術的に困難であり、高価になるという欠点があった。

30 本発明の目的は、高速動作するサンプルホールド回路を少なくし、価格を低減することができる液晶表示装置を提 0 (することにある。

〔課題を解決するための手段〕

本発明の液晶表示装置は、水平方向及び垂直方向にマトリクス状に配列された複数の画素と、前記水平方向 1 ライン分の画素を 1 ライン分ずつ順次選択するための複数のゲートバスラインと、選択された前記水平方向 1 ラインの各画素を順次駆動するための複数のドレインバスラインとを備えた液晶表示パネルと、前記各ドレインバスラインと対応して設けられ、供給される信号を所定のタイミングでサンプリングして保持し前記各ドレインバスラインを順次駆動する複数の第 1 のサンプルホールド回路と、前記入力信号を前記各第 1 のサンプルホールド回路のサンプリングごとのタイミングと対応したタイミングでサンプリングして保持し前記各第 1 のサンプルホールド回路へ供給する高速の第 2 のサンプルホールド回路とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

50 第 1 図は本発明の第 1 の実施例を示すブロック図である

この実施例は、特許請求の範囲の請求項 2 記載の N が 2 の場合を示す。

この実施例が第 5 図に示された従来の液晶表示装置 1 と相違する点は、液晶表示パネル 1 の各ドレインバスライン DB 1 ~ DB 9 をそれぞれ対応して駆動する各 (第 1 の) サンプルホールド回路 2 A ~ 2 I のサンプリングごとのタイミングと対応した各色ごとのタイミングで、各色ごとに、入力映像信号 VR、Vo、VB を順次交互にサンプリングして保持し出力する (第 2 の) サンプルホールド回路 3 A / 3 D + 3 B / 3 E、3 C / 3 F を設け、これらサンプルホールド回路 3、= / 3 O、3 B / 3 E、3 o / 3 F の出力信号を対応するサンプルホールド回路 (2、A、2 D / 2 O)、(2 C / 2 F、2 I)、(2 8、2 E / 2 H) へそれぞれ供給するようにし、これらサンプルホールド回路 2、~ 2 E、2 F ~ 2 I へのサンプルホールドパルス SH 1 I ~ SH 1 5、SH 2 1 ~ SH 2 4 をシフトレジスタ 4 A、4 B により供給した点にある。

次に、この実施例の動作について説明する。

第 2 図はこの実施例の動作を説明するための各部信号のタイミング図である。

説明がまぎらわしくないように、一つの色の入力映像信号 ■。について説明する。

サンプルホールド回路 3 A、3 D は、サンプルホールド回路 2 A、2 o、2 o へ供給されるサンプルホールドパルス SH 1 1、SH 2 2、SH 1 4 ごとのタイミングと対応したサンプルホールドパルス SH 1、SH 4 により順次交互に入力映像信号 VR をサンプリングして保持し出力する。

このサンプルホールド回路 3、. . .、3 o の出力信号がサンプルホールド回路 (2 A、2 D)、2 O へ供給され、サンプルホールドパルス 3 H 1 1、SH 2 2、SH 1 4 により順次サンプリング、保持されドレインバス DB 1、DB 7、DB 4 を駆動するようになっている。サンプルホールド回路 3 A、3 D に供給されるサンプルホールドパルス SH 1、SH 4 は、サンプルホールドパルス SH 1 1、SH 2 2、SH 1 4 ごとのタイミングと対応したタイミングで発生するので、サンプルホールド回路 3 A、3 D は従来例のサンプルホールド回路 2、~ 2、と同等の高速動作が必要となる。

一方、サンプルホールド回路 2、=、2 D、2 O は、一旦、高速のサンプルホールド回路 3 A、3 D でサンプリング、ホールドされ信号を、それぞれ対応するサンプルホールドパルス SH 1 1、SH 1 4、SH 2 2 によりサンプリング、ホールドすればよいので、従来例のサンプルホールド回路 2 a、2 d、2 g より低速動作させることができる。

第 2 図及び第 6 図を比較すると、スタートパルス ST を従来例より 3 倍のパルス幅にすることができるので、サ

ンプルホールド回路 2 A ~ 2 I は従来例に対し 1 / 3 の動作速度でよいことが分かる。

このように、高速のサンプルホールド回路は 6 個で済み、従来例の 1920 個に対し大幅に低減することができる。

第 3 図は本発明の第 2 の実施例を示すブロック図である。

この実施例は、入力信号をティジタル画信号 D V n、D V a、D V R とし、第 1 の実施例と同様 N = 2 としたときの例を示し、ティジタル画信号 D V n、D V a、D V、] を処理しやすいように、第 2 のサンプルホールド回路をラッチ回路 6 A ~ 6 F とし、これらラッチ回路 6 A ~ 6 F の制御はクロックハルス CK 2 により行ない、また第 1 のサンプルホールド回路 2 A ~ 2、へのサンプルホールドパルス SH 3 1 ~ SH 3 5、SH 4 1 ~ SH 4 4 はシフトレジスタ 4 C、4 D により発生するようにしたものである。

第 4 図はこの実施例の動作を説明するための各部信号のタイミング図である。

この実施例では、サンプルホールド回路 2 A ~ 2、のサンプリング、ホールド動作を、ラッチ回路 6 A ~ 6 F の 2 倍の周期で行うことができ、1 / 2 の動作速度とすることができる。

〔発明の効果〕

以上説明したように本発明は、入力信号を一旦高速動作する第 1 のサンプルホールド回路でサン動作するサンプルホールド回路の数を大幅に低減することができ、従って価格を低減することができる効果がある。

【図面の簡単な説明】

第 1 図及び第 2 図はそれぞれ本発明の第 1 の実施例のブロック図及びこの実施例の動作を説明するための各部信号のタイミング図、第 3 図及び第 4 図はそれぞれ本発明の第 2 の実施例のブロック図及びこの実施例の動作を説明するためのタイミング図、第 5 図及び第 6 図はそれぞれ従来の液晶表示装置の一例のブロック図及びこの例の動作を説明するための各部信号のタイミング図である。

1 液晶表示パネル、2 A ~ 2、2、~ 2 3 A ~ 3 6 サンプルホールド回路、4 A ~ 4 D、4 a、4 b シフトレジスタ、5、5 A、5 つ インバータ、6、~ 6 F ラッチ回路、DB 1 ~ DB 9 ドレインバスライン、OB 1 ~ GB n ゲートバスライン、P C 画素。

代理人 弁理士 内 原 晋

男

？

図

D V R

p ! 7

p 2

3

R 4

p 5

p

p 7

D V R s 2

p

2

10

R

4

R

6

デ

4

図

見

6

図

20

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

③ 公開特許公報(A) 平3-214873

⑤ Int. Cl.⁵H 04 N 5/66
G 09 G 3/36
H 04 N 5/66

識別記号

1 0 2 B
C

庁内整理番号

7605-5C
8621-5C
7605-5C

④ 公開 平成3年(1991)9月20日

審査請求 未請求 請求項の数 2 (全6頁)

④ 発明の名称 液晶表示装置

⑥ 特 願 平2-9697

⑦ 出 願 平2(1990)1月19日

⑧ 発 明 者 喜 多 川 隆 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑨ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑩ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
液晶表示装置

2. 特許請求の範囲

(1) 水平方向及び垂直方向にマトリクス状に配列された複数の画素と、前記水平方向1ライン分の画素を1ライン分ずつ順次選択するための複数のゲートバスラインと、選択された前記水平方向1ラインの各画素を順次駆動するための複数のドレインバスラインとを備えた液晶表示パネルと、前記各ドレインバスラインと対応して設けられ、供給される信号を所定のタイミングでサンプリングして保持し前記各ドレインバスラインを順次駆動する複数の第1のサンプルホールド回路と、前記入力信号を前記各第1のサンプルホールド回路のサンプリングごとのタイミングと対応したタイミングでサンプリングして保持し前記各第1のサンプルホールド回路へ供

給する高速の第2のサンプルホールド回路とを有することを特徴とする液晶表示装置。

(2) 第2のサンプルホールド回路をN個(Nは2以上の整数)設け、水平方向1ラインの画素、及びこれら画素と対応するドレインライン、第1のサンプルホールド回路を、駆動順に順次切換えられるN系統に分け、前記N個の各第2のサンプルホールド回路の出力信号を前記N系統の各第1のサンプルホールド回路へそれぞれ対応して供給するようにした請求項1記載の液晶表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶表示装置に関し、特に入力映像信号を所定のタイミングでサンプリングしてこのサンプリングされた信号により液晶パネルの画素を駆動する構成の液晶表示装置に関する。

〔従来の技術〕

従来のこの種の液晶表示装置の一例を第5図に

特開平3-214873 (2)

示す。

この液晶表示装置は、水平方向及び垂直方向にマトリクス状に配列された各色の複数の画素PCと、水平方向1ライン分の画素を1ライン分ずつ順次選択するための複数のゲートバスラインGB1～GBnと、選択された水平方向1ラインの各画素PCを順次駆動するための複数のドレインバスラインDB1～DB9とを備えた液晶表示パネル1と、各ドレインバスラインDB1～DB9と対応して設けられ、供給される各色の入力映像信号 V_R 、 V_G 、 V_B をシフトレジスタ4a、4bからのサンプルホールドパルスSH51～SH55、SH61～SH62により所定のタイミングでサンプリングして保持し各ドレインバスラインDB1～DB9を順次駆動する複数のサンプルホールド回路2a～2iと、スタートパルスST及びクロックパルスCK、 \overline{CK} を入力してこれらサンプルホールド回路2a～2iのサンプリング及びホールドのタイミングを制御するサンプルホールドパルスSH51～SH55、SH61～SH62

を発生する2つのシフトレジスタ4a、4bと、クロックパルス \overline{CK} を発生するインバータ5とを有する構成となっている。

各画素PCは薄膜トランジスタを含んで形成され、それぞれ水平方向1ライン分の画素PCが接続されたゲートバスラインGB1～GBnの1つを水平ライン選択信号HW1～HWnにより順次選択し、選択されたゲートバスライン(GB1～GBnの一つ)の画素PCの薄膜トランジスタを、選択期間中に順次サンプルホールド回路2a～2iにより駆動することにより液晶表示パネル1に所定の画像が表示される。

この液晶表示装置の各部信号のタイミング関係を第6図に示す。

〔発明が解決しようとする課題〕

上述した従来の液晶表示装置は、液晶表示パネル1の水平方向1ラインの各画素PCを駆動するサンプルホールド回路2a～2iが、入力映像信号 V_R 、 V_G 、 V_B を直接サンプルホールドする構成となっているので、高速動作するサンプルホー

ルド回路2a～2iが多数必要となり、高価なものになるという欠点があった。

例えば、水平方向に赤、緑、青の画素PCをそれぞれ640個有する液晶表示パネルでテレビジョン表示するためには、約30MHzで動作するサンプルホールド回路が1920個必要である。このように、多数のサンプルホールド回路を実用上問題ない程度に実装するためには、複数のサンプルホールド回路をIC化する必要があるが、均一な特性の高速動作する多数のサンプルホールド回路を内蔵するICを製作することは技術的に困難であり、高価になるという欠点があった。

本発明の目的は、高速動作するサンプルホールド回路を少なくし、価格を低減することができる液晶表示装置を提供することにある。

〔課題を解決するための手段〕

本発明の液晶表示装置は、水平方向及び垂直方向にマトリクス状に配列された複数の画素と、前記水平方向1ライン分の画素を1ライン分ずつ順次選択するための複数のゲートバスラインと、選

択された前記水平方向1ラインの各画素を順次駆動するための複数のドレインバスラインとを備えた液晶表示パネルと、前記各ドレインバスラインと対応して設けられ、供給される信号を所定のタイミングでサンプリングして保持し前記各ドレインバスラインを順次駆動する複数の第1のサンプルホールド回路と、前記入力信号を前記各第1のサンプルホールド回路のサンプリングごとのタイミングと対応したタイミングでサンプリングして保持し前記各第1のサンプルホールド回路へ供給する高速の第2のサンプルホールド回路とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示すブロック図である。

この実施例は、特許請求の範囲の請求項2記載のNが2の場合を示す。

この実施例が第5図に示された従来の液晶表示

特開平3-214873 (3)

装置と相違する点は、被品表示パネル1の各ドレインバスラインDB1～DB9をそれぞれ対応して駆動する各（第1の）サンプルホールド回路2_a～2_iのサンプリングごとのタイミングと対応した各色ごとのタイミングで、各色ごとに、入力映像信号V_a、V_o、V_uを順次交互にサンプリングして保持し出力する（第2の）サンプルホールド回路3_a/3_b、3_c/3_d、3_e/3_fを設け、これらサンプルホールド回路3_a/3_b、3_c/3_d、3_e/3_fの出力信号を対応するサンプルホールド回路（2_a、2_b/2_c）、（2_c/2_d、2_e）、（2_e、2_f/2_g）へそれぞれ供給するようにし、これらサンプルホールド回路2_a～2_b、2_e～2_fへのサンプルホールドパルスSH11～SH15、SH21～SH24をシフトレジスタ4_a、4_bにより供給した点にある。

次に、この実施例の動作について説明する。

第2図はこの実施例の動作を説明するための各部信号のタイミング図である。

説明がまぎらわしくないように、一つの色の入

力映像信号V_aについて説明する。

サンプルホールド回路3_a、3_bは、サンプルホールド回路2_a、2_b、2_cへ供給されるサンプルホールドパルスSH11、SH22、SH14ごとのタイミングと対応したサンプルホールドパルスSH1、SH4により順次交互に入力映像信号V_aをサンプリングして保持し出力する。

このサンプルホールド回路3_a、3_bの出力信号がサンプルホールド回路（2_a、2_b）、2_cへ供給され、サンプルホールドパルスSH11、SH22、SH14により順次サンプリング、保持されドレインバスDB1、DB7、DB4を駆動するようになっている。

サンプルホールド回路3_a、3_bに供給されるサンプルホールドパルスSH1、SH4は、サンプルホールドパルスSH11、SH22、SH14ごとのタイミングと対応したタイミングで発生するので、サンプルホールド回路3_a、3_bは従来例のサンプルホールド回路2_a～2_iと同等の高速動作が必要となる。

一方、サンプルホールド回路2_a、2_b、2_cは、一旦、高速のサンプルホールド回路3_a、3_bでサンプリング、ホールドされ信号を、それぞれ対応するサンプルホールドパルスSH11、SH14、SH22によりサンプリング、ホールドすればよいので、従来例のサンプルホールド回路2_a、2_d、2_gより低速動作させることができる。

第2図及び第6図を比較すると、スタートパルスSTを従来例より3倍のパルス幅にすることができるので、サンプルホールド回路2_a～2_iは従来例に対し1/3の動作速度でよいことが分かる。

このように、高速のサンプルホールド回路は6個で済み、従来例の1920個に対し大幅に低減することができる。

第3図は本発明の第2の実施例を示すブロック図である。

この実施例は、入力信号をディジタル画信号DV_a、DV_o、DV_uとし、第1の実施例と同様N=2としたときの例を示し、ディジタル画信号DV_a、DV_o、DV_uを処理しやすいように、第

2のサンプルホールド回路をラッチ回路6_a～6_fとし、これらラッチ回路6_a～6_fの制御はクロックパルスCK2により行ない、また第1のサンプルホールド回路2_a～2_iへのサンプルホールドパルスSH31～SH35、SH41～SH44はシフトレジスタ4_c、4_dにより発生するようにしたものである。

第4図はこの実施例の動作を説明するための各部信号のタイミング図である。

この実施例では、サンプルホールド回路2_a～2_iのサンプリング、ホールド動作を、ラッチ回路6_a～6_fの2倍の周期で行うことができ、1/2の動作速度とすることができる。

〔発明の効果〕

以上説明したように本発明は、入力信号を一旦高速動作する第1のサンプルホールド回路でサンプリング、ホールドした後、第2のサンプルホールド回路へ供給する構造とすることにより、高速動作するサンプルホールド回路の数を大幅に低減することができ、従って価格を低減することがで

特開平3-214873 (4)

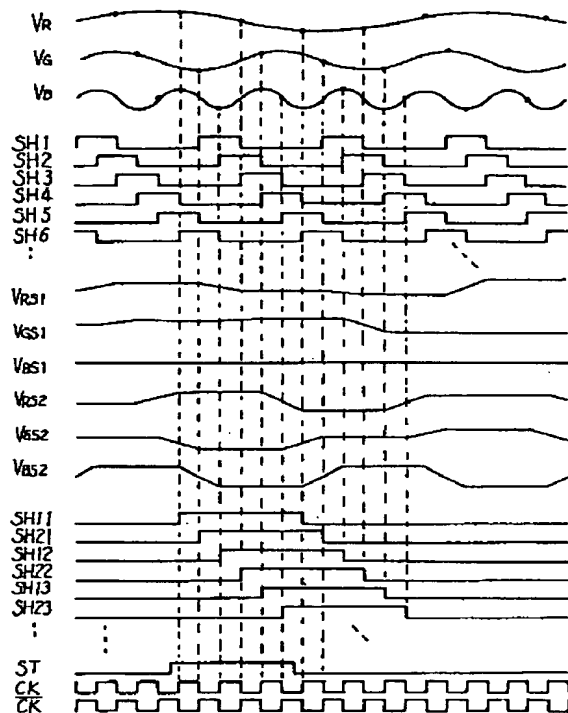
きる効果がある。

4. 図面の簡単な説明

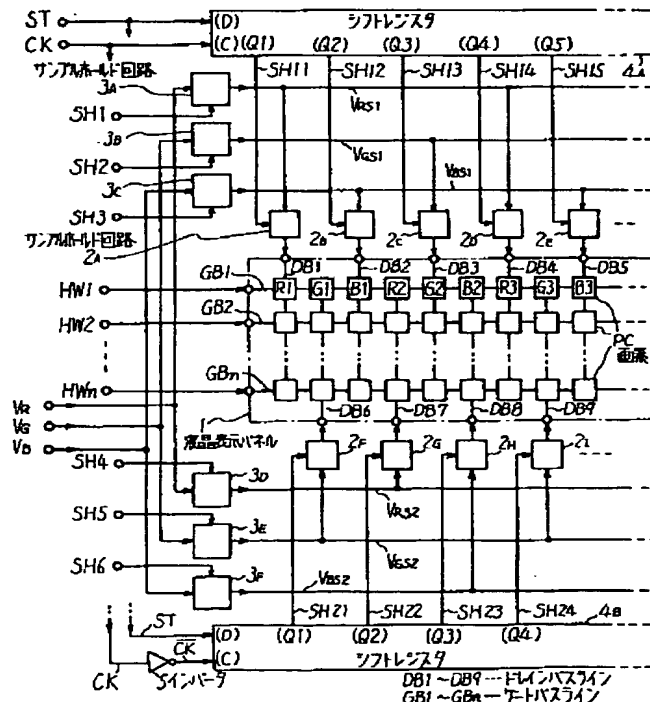
第1図及び第2図はそれぞれ本発明の第1の実施例のブロック図及びこの実施例の動作を説明するための各部信号のタイミング図、第3図及び第4図はそれぞれ本発明の第2の実施例のブロック図及びこの実施例の動作を説明するためのタイミング図、第5図及び第6図はそれぞれ従来の液晶表示装置の一例のブロック図及びこの例の動作を説明するための各部信号のタイミング図である。

1……液晶表示パネル、2_a～2_f、2_a～2_f、3_a～3_f……サンプルホールド回路、4_a～4_b、4_a、4_b……シフトレジスタ、5、5_a、5_b……インバータ、6_a～6_f……ラッチ回路、DB1～DB9……ドレインバスライン、GB1～GB_n……ゲートバスライン、PC……画素。

代理人 弁理士 内 原 晋



第 2 図



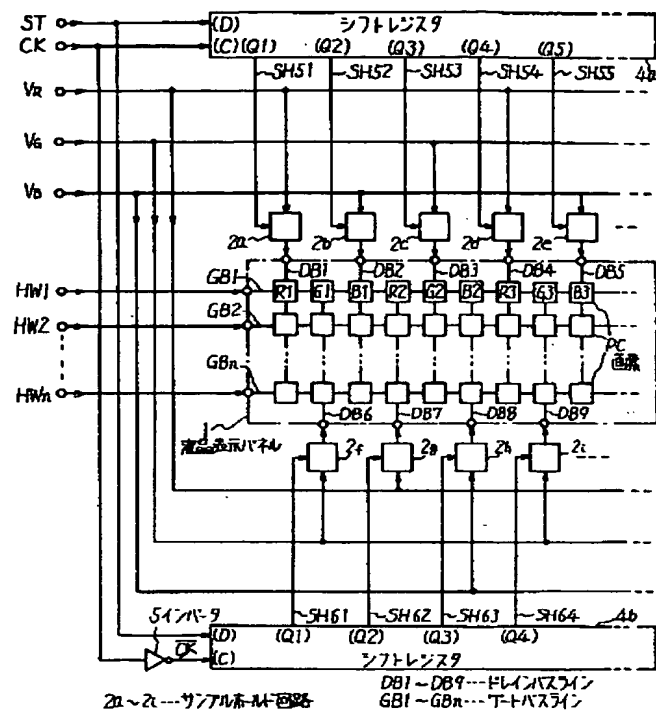
第 1 図

Timing diagram for the 74164 8-bit shift register. The diagram shows the relationship between the clock signal (CK2) and the data inputs (D1v1, D1v6, D1v8) and outputs (D1v51, D1v52) over time. The data values are shown in boxes within the signal lines.

Signal	Value 1	Value 2	Value 3	Value 4	Value 5	Value 6	Value 7	Value 8
D1v1	R1	R2	R3	R4	R5	R6	R7	
D1v6	G1	G2	G3	G4	G5	G6	G7	
D1v8	B1	B2	B3	B4	B5	B6	B7	
CK2	[Clock Signal]							
CK2	[Clock Signal]							
D1v51		R1		R3		R5		
D1v51		G1		G3		G5		
D1v51		B1		B3		B5		
D1v52			R2		R4		R6	
D1v52			G2		G4		G6	
D1v52			B2		B4		B6	

- 505 -

特開平 3-214873 (6)



第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.